



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 22 SEP. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

A handwritten signature in black ink, appearing to read 'M+Lanc', enclosed within a large, loopy oval stroke.

Martine PLANCHE

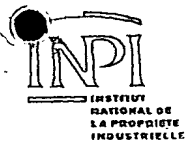
INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



1

1



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*02

REQUÊTE EN DÉLIVRANCE

page 1/2




Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 010901

REMISE DES PIÈCES DATE 1 OCT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0212120 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE 01 OCT. 2002 PAR L'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet REGIMBEAU 20, rue de Chazelles 75847 PARIS CEDEX 17 FRANCE	
Vos références pour ce dossier (facultatif) 239905 D20408 JC			
C nfirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE			
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale		N°	Date
ou demande de certificat d'utilité initiale		N°	Date
Transformation d'une demande de brevet européen		<input type="checkbox"/>	Date
Demande de brevet initiale		N°	Date
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCEDE DE RECUT RAPIDE DE TRANCHES DE MATERIAU SEMICONDUCTEUR.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES	
Prénoms			
Forme juridique		SOCIETE ANONYME	
N° SIREN		384711909	
Code APE-NAF			
Domicile ou siège	Rue	Parc Technologique des Fontaines - Chemin des Franques, 38190 BERNIN	
	Code postal et ville		
	Pays	FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suit»			

Remplir impérativement la 2^{ème} page

REMISE DES PIÈCES DATE LIEU 1 OCT 2002 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0212120		Réservé à l'INPI	DB 540 W / 010601
Vos références pour ce dossier : (facultatif) 239905 JC			
6 MANDATAIRE			
Nom			
Prénom			
Cabinet ou Société		Cabinet REGIMBEAU	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	20, rue de Chazelles	
	Code postal et ville	75847 PARIS CEDEX 17	
	Pays		
N° de téléphone (facultatif)		01 44 29 35 00	
N° de télécopie (facultatif)		01 44 29 35 99	
Adresse électronique (facultatif)		info@regimbeau.fr	
7 INVENTEUR(S)			
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
8 RAPPORT DE RECHERCHE			
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé	
Paiement échelonné de la redevance (en deux versements)		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence) : AG	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI	
 92-1142		M. BLANCANEUX	

La présente invention concerne le traitement de surfaces de tranches de matériaux destinées à être utilisées dans des applications de micro électronique, optique, optoélectronique.

On précise que les tranches concernées par l'invention sont
5 réalisées avec des matériaux semiconducteurs.

L'exemple particulier qui va être décrit dans ce texte concerne ainsi une tranche de type SOI (Silicon On Insulator pour silicium sur isolant selon la terminologie anglo-saxonne répandue).

Et l'invention concerne plus précisément un procédé de traitement
10 de surface d'une tranche de matériau choisi parmi les matériaux semiconducteurs, la tranche ayant été obtenue par une technique de transfert, le procédé comprenant une étape de recuit rapide comportant successivement :

- 15 ◦ une première rampe de montée en température destinée à initier le chauffage,
- un premier palier de stabilisation destiné à stabiliser la température,
- une deuxième rampe de montée en température.

On précise que les tranches de matériau semiconducteur concernées par l'invention sont des tranches obtenues par une technique
20 de transfert, c'est à dire des tranches dont une couche (correspondant à tout ou partie de la tranche) a été transférée à partir d'un substrat source sur un support.

On précise également que les « recuits rapides » sont des recuits amenant les tranches à des températures très élevées (de l'ordre de
25 1100°C ou plus), en un temps très court (quelques dizaines de secondes).

Ces recuits sont communément désignés par l'acronyme RTA, pour Rapid Thermal Annealing (recuit thermique rapide).

Ils permettent de lisser la surface des tranches.

Un recuit RTA tel que pratiqué dans l'état de la technique est
30 illustré schématiquement sur la figure 1, qui illustre l'évolution de la température T en fonction du temps t.

Cette figure montre que le RTA comporte des rampes de montée en température, pour amener les tranches subissant le RTA d'une température ambiante RT à une température de sortie de recuit T2 élevée en un temps très court.

5 A titre d'exemple, RT peut être de l'ordre de 20 à 500 °C, et T2 de l'ordre de 1200°C.

On constate sur cette figure que le RTA comprend en réalité deux rampes rectilignes :

- 10 • Une première rampe amenant la tranche à une température T1 de l'ordre de 750°C, et suivie d'un palier d'environ 10 secondes à cette température. Cette première rampe et le palier qui la suit permettent :
 - d'initier le chauffage,
 - d'amorcer le suivi de température de la tranche subissant le RTA (ce suivi est assuré par un pyromètre qui détermine la température de la
 - 15 tranche, mais la tranche ne devient « lisible » au pyromètre qu'à partir d'une certaine température qui dépend du matériau de la tranche – dans le cas d'une tranche de silicium cette température est de l'ordre de 400°C),
 - de stabiliser la température (rôle du palier plus particulièrement).
- 20 • Une deuxième rampe ayant une pente de l'ordre de 50°C/seconde, suivie d'un palier d'environ 30 secondes. Cette deuxième rampe constitue une phase active importante du RTA

On a observé avec de tels RTA classiques que des défauts apparaissaient dans les tranches, particulièrement dans le cas de tranches
25 réalisées à partir de silicium (SOI par exemple).

Ces défauts dénommés « slip lines » (ce terme de « slip lines » étant dans le présent texte considéré comme l'équivalent de « lignes de glissement » en français) résultent des contraintes thermiques importantes que la tranche subit au cours du RTA.

30 Ces contraintes thermiques sont en particulier dues aux rampes de montée en température très raides, ainsi qu'au palier final à une température très élevée.

Et on observera ainsi plus ou moins de lignes de glissement sur une tranche ayant subi un RTA classique, en fonction du budget thermique reçu par la tranche.

5 Ces lignes de glissement sont susceptibles d'apparaître sur toute la surface de la tranche, et notamment au niveau des éléments supportant la tranche dans le four de recuit. De telles lignes de glissement constituent évidemment un inconvénient.

Le but de l'invention est de permettre de réduire cet inconvénient.

10 Afin d'atteindre ce but, l'invention propose un procédé de traitement de surface d'une tranche de matériau choisi parmi les matériaux semiconducteurs, la tranche ayant été obtenue par une technique de transfert, le procédé comprenant une étape de recuit rapide comportant successivement :

- 15 ◦ une première rampe de montée en température destinée à initier le chauffage,
 - un premier palier de stabilisation destiné à stabiliser la température,
 - une deuxième rampe de montée en température,
- caractérisé en ce que lors de la deuxième rampe, la pente moyenne de montée en température a une première valeur dans un premier domaine de
- 20 températures dites basses, puis augmente dans un domaine de températures dites hautes.

Des aspects préférés mais non limitatifs du procédé selon l'invention sont les suivants :

- la tranche est une tranche réalisée à partir de silicium,
- 25 ◦ la tranche est une tranche de SOI,
- le premier palier est effectué à une température de l'ordre de 750°C,
- le domaine de températures basses s'étend entre environ 800 et environ 1100°C,
- dans le domaine de températures basses, la température augmente de
- 30 manière continue,

- dans le domaine de températures basses, la température augmente avec un palier intermédiaire,
- le recuit rapide se termine par un palier, à une température de l'ordre de 1150 à 1250 °C,
- 5 • la deuxième rampe se termine avec une pente de l'ordre de 25 à 50°C/seconde.

D'autres aspects, buts et avantages de l'invention apparaîtront mieux à la lecture de la description suivante de l'invention, faite en référence aux dessins annexés sur lesquels, outre la figure 1 qui a déjà été
10 commentée en référence à l'état de la technique :

- Les figures 2a et 2b sont des graphes montrant l'évolution de la température lors de deux recuits RTA réalisés respectivement de manière connue, et selon l'invention,
- La figure 3 est un graphe montrant l'effet, sur le nombre de lignes de
15 glissement, de la longueur de l'intervalle de temps passé lors d'un RTA dans une certaine zone de température.

En référence maintenant aux figures 2a et 2b, on a représenté l'évolution de la température lors de deux montées en température de deux RTA respectifs, réalisés selon les enseignements de l'état de la technique
20 (figure 2a) et selon l'invention (figure 2b).

On précise que les figures sont décrites en référence au recuit RTA d'une tranche de SOI, qui est issue d'un procédé de transfert avec détachement au niveau d'une zone de fragilisation (procédé de type SMARTCUT®).

25 Toutefois, l'invention s'applique également à des tranches obtenues par tous types de procédés de transfert (par exemple ELTRAN® ou autre), et ne présentant pas nécessairement une structure de type SOI.

L'invention s'applique ainsi à des tranches en silicium, ou encore à des tranches réalisées dans d'autres matériaux semiconducteurs.

30 Les montées en température des figures 2a et 2b correspondent comme on l'a dit à deux RTA, dont un (figure 2b) est réalisé selon l'invention.

Ces deux montées en température débutent schématiquement de la même manière, par une première rampe R1 amenant la température à une valeur de l'ordre de 750°C.

Un premier palier de température constante (à une valeur de l'ordre de 750°C) suit cette première rampe.

La différence entre les deux recuits intervient au niveau de la deuxième rampe de montée en température, qui suit ce premier palier.

On observe en effet que la rampe de la figure 2a est sensiblement rectiligne, conformément à ce qui est connu. Cette deuxième rampe a ainsi une pente constante de l'ordre de 50°C/seconde.

Et ce recuit classique se termine par un palier de 1 à 30 secondes, lors duquel la température est maintenue à une valeur constante de l'ordre de 1200 à 1230 °C.

La deuxième rampe R2 de la figure 2b, quant à elle, n'est pas rectiligne.

Au contraire, cette deuxième rampe présente une forme généralement concave, c'est à dire qu'elle s'étend de manière générale en dessous de la droite (représentée en pointillés) joignant le point P1 de début de cette rampe (environ 750°C) au point P2 de fin de rampe (qui est typiquement de l'ordre de environ 1150-1250 °C).

Plus précisément, lors de la deuxième rampe, la pente moyenne de montée en température a une première valeur dans un premier domaine de températures dites basses, puis augmente dans un domaine de températures dites hautes.

En d'autres termes, lors de la montée en température de cette deuxième rampe, on passe d'abord proportionnellement plus de temps, pour une montée en température donnée (premier domaine), que dans la fin de la rampe (deuxième domaine).

On précise en outre que dans le cas de l'invention cette deuxième rampe R2 est associée à une durée Δt_2 de montée en température qui est supérieure à la durée de montée en température d'une deuxième rampe classique, pour un même écart de température.

On précise que cette durée correspond sur la figure 2b à l'écart de temps entre les points P1 (début de la deuxième rampe R2 selon l'invention) et P2 (fin de la deuxième rampe R2 selon l'invention).

On a également fait apparaître sur cette figure, à titre de
5 comparaison, une deuxième rampe R₀2 classique telle que pratiquée selon l'état de la technique. Cette deuxième rampe classique R₀2 débute au même point P1, mais se termine en P₀2, point distinct de P2 et le précédant dans le temps.

Il apparaît ainsi que par rapport à une deuxième rampe classique la
10 deuxième rampe R2 selon l'invention non seulement n'est pas rectiligne et présente une pente moyenne qui augmente entre deux domaines successifs, mais qu'elle correspond en outre à une montée en température globalement plus lente.

Plus précisément, dans l'exemple représenté sur la figure 2a, la
15 deuxième rampe a une pente qui augmente progressivement et continûment, cette pente ayant successivement les valeurs suivantes : 10-15-25-50 °C/seconde.

La deuxième rampe de la figure 2b se termine ainsi avec une pente
maximale de l'ordre de 50°C/seconde ce qui correspond aux deuxièmes
20 rampes des RTA de l'état de la technique.

Une caractéristique importante de cette rampe est qu'elle permet d'augmenter le temps passé par la tranche dans une plage de valeurs basses de température de cette deuxième rampe qui débute vers 750°C pour se terminer vers 1150-1250°C.

25 La plage en question peut être identifiée dans l'exemple décrit ici comme correspondant aux températures comprises entre environ 800°C et environ 1100°C.

On remarque donc que selon l'invention, on augmente le temps passé par la tranche subissant le recuit RTA dans une plage basse de
30 température de la deuxième rampe.

Cette augmentation est « absolue » dans le sens où la durée effectivement passée dans cette plage dite basse est augmentée par rapport à un recuit RTA classique.

5 Cette augmentation est également à rapporter à la deuxième rampe en général : on remarque que selon l'invention, lors de cette deuxième rampe, le rapport du temps passé dans la plage dite basse sur le temps passé dans la plage dite haute (qui correspond aux températures de la deuxième rampe qui sont supérieures aux températures de la plage « basse ») est augmenté, par rapport à ce qui est pratiqué dans l'état de la
10 technique.

En d'autres termes, on passe selon l'invention plus de temps dans cette plage « basse » de température de la deuxième rampe, par rapport à la durée totale de la deuxième rampe, que dans les recuits à rampe linéaire de l'état de la technique.

15 En effet, lors de la deuxième rampe, la pente moyenne de montée en température a une première valeur dans un premier domaine de températures dites basses, puis augmente dans un domaine de températures dites hautes.

On précise que les plages de températures « basses » et
20 « hautes » sont définies notamment en fonction du matériau de la tranche.

Il est d'ailleurs possible de mettre en œuvre l'invention avec une autre « deuxième rampe », du moment que la condition de rapport de temps passé dans les plages de températures basse et haute et qui est énoncée ci-dessus est respectée.

25 On peut par exemple définir un palier intermédiaire de température constate dans cette plage de températures basses (par exemple un palier à une température entre 800 et 1100 °C dans l'exemple décrit ici).

Et on peut de manière générale donner toute forme à la deuxième rampe, qui permette de respecter cette condition.

30 Le fait de procéder ainsi permet de diminuer sensiblement le nombre de lignes de glissement obtenues sur la tranche après recuit.

Le demandeur a notamment observé que les lignes de glissement générées au niveau des supports de la tranche dans le four étaient considérablement réduites (que ces supports aient la forme de points d'appui séparés, ou d'une couronne circulaire continue concentrique à la tranche).

Cet effet s'explique par le fait que les lignes de glissement observées en fin de RTA trouvent leur origine dans des défauts générés lors de la partie du RTA de la tranche qui correspond aux valeurs « basses » de température.

Cet effet est illustré sur la figure 3, qui représente pour quatre conditions de recuit RTA effectués sur quatre tranches respectives, le nombre de lignes de glissement produites sur la tranche après recuit.

Les quatre recuits correspondent aux séries de points étalées en abscisse – chaque abscisse différente correspondant à un recuit.

On trouve en dessous de ce graphe des lignes de données.

La première ligne de données « temps » indique pour chaque recuit le temps passé dans la plage de température « basses » de la deuxième rampe – les quatre recuits ayant la même première rampe R1, similaire à celle de la figure 2b.

La deuxième ligne de données « Moyenne » correspond au nombre moyen de lignes de glissement observées sur une population de tranches, après recuit.

La troisième ligne de données « Count » indique le nombre de tranches ayant fait l'objet d'un comptage de lignes de glissement (ce nombre étant réduit à un dans deux cas).

On observe que lorsque la durée « temps » augmente, le nombre de lignes de glissement diminue.

On obtient en effet les résultats suivants :

Temps passé dans la plage basse de températures (secondes)	Nombre moyen de lignes de glissement observé
7	46.5
14.5	30
19	14
26	6.5

On précise que dans l'exemple de la figure 3, la plage de « basses températures » s'étendait entre 800°C et 1100°C.

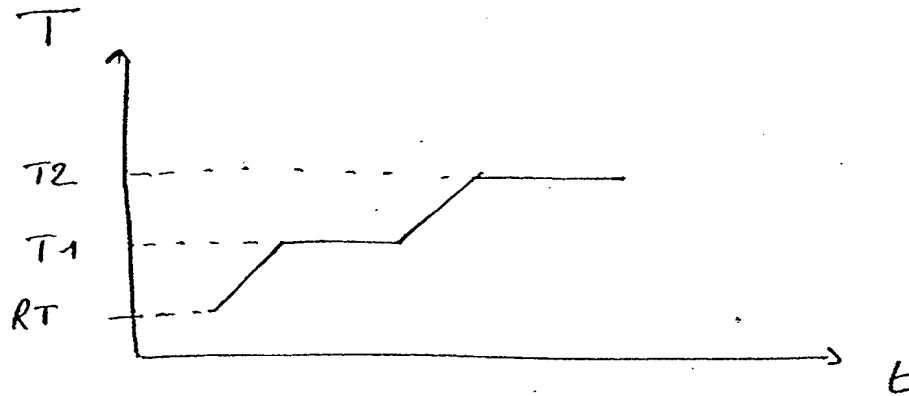
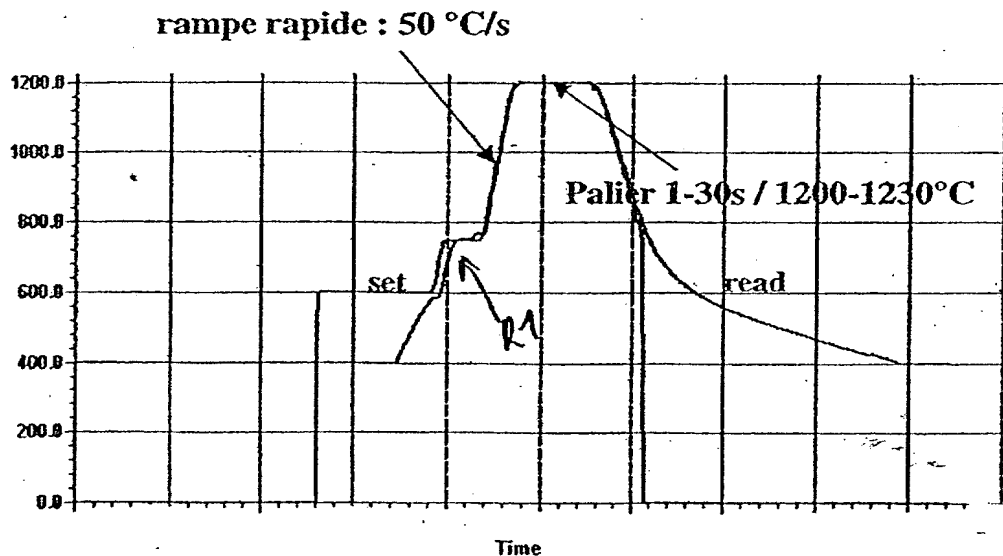
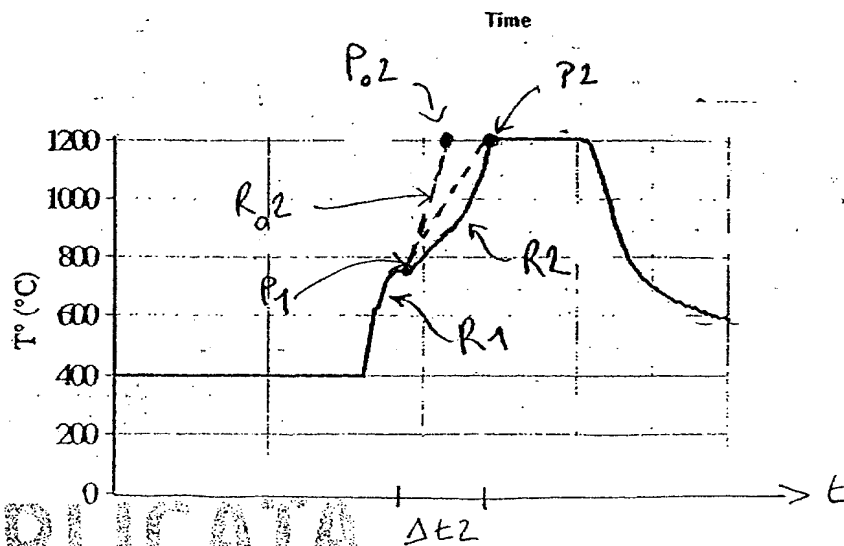
- 5 L'application d'une deuxième rampe de recuit RTA progressive, qui correspond à un rapport (temps passé dans la plage basse de températures / temps passé dans la plage haute de températures) élevé, est donc bénéfique pour la réduction des lignes de glissement.

REVENDECATIONS

- 5 1. Procédé de traitement de surface d'une tranche de matériau choisi parmi les matériaux semiconducteurs, la tranche ayant été obtenue par une technique de transfert, le procédé comprenant une étape de recuit rapide comportant successivement :
 - 10 • une première rampe de montée en température destinée à initier le chauffage,
 - un premier palier de stabilisation destiné à stabiliser la température,
 - 15 • une deuxième rampe de montée en température, caractérisé en ce que lors de la deuxième rampe, la pente moyenne de montée en température a une première valeur dans un premier domaine de températures dites basses, puis augmente dans un domaine de températures dites hautes.
- 20 2. Procédé selon la revendication précédente caractérisé en ce que la tranche est une tranche réalisée à partir de silicium.
3. Procédé selon la revendication précédente, caractérisé en ce que la tranche est une tranche de SOI.
- 25 4. Procédé selon une des deux revendications précédentes, caractérisé en ce que le premier palier est effectué à une température de l'ordre de 750°C.
- 30 5. Procédé selon une des trois revendications précédentes caractérisé en ce que le domaine de températures basses s'étend entre environ 800 et environ 1100°C.

6. Procédé selon une des revendications précédentes, caractérisé en ce que dans le domaine de températures basses, la température augmente de manière continue.
- 5 7. Procédé selon une des revendications 1 à 5, caractérisé en ce que dans le domaine de températures basses, la température augmente avec un palier intermédiaire.
8. Procédé selon une des revendications précédentes, caractérisé en ce que le recuit rapide se termine par un palier, à une
10 température de l'ordre de 1150 à 1250 °C.
9. Procédé selon une des revendications précédentes, caractérisé en ce que la deuxième rampe se termine avec une pente de
15 l'ordre de 25 à 50°C/seconde.

1/2

fig. 1fig. 2afig. 2b

DUPLICATA

1/2

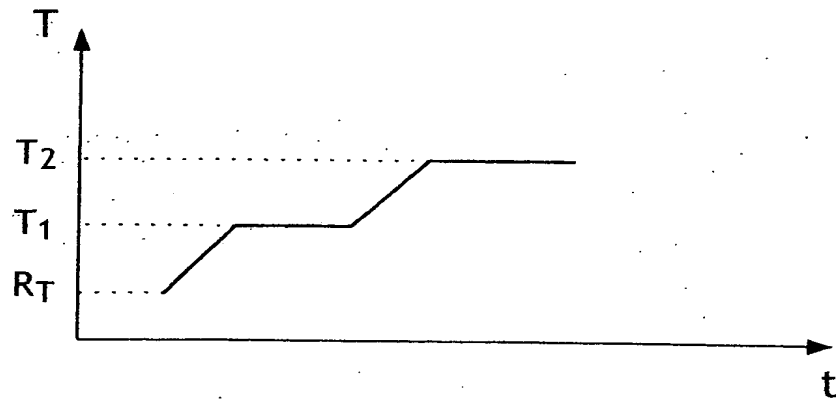


FIG.1

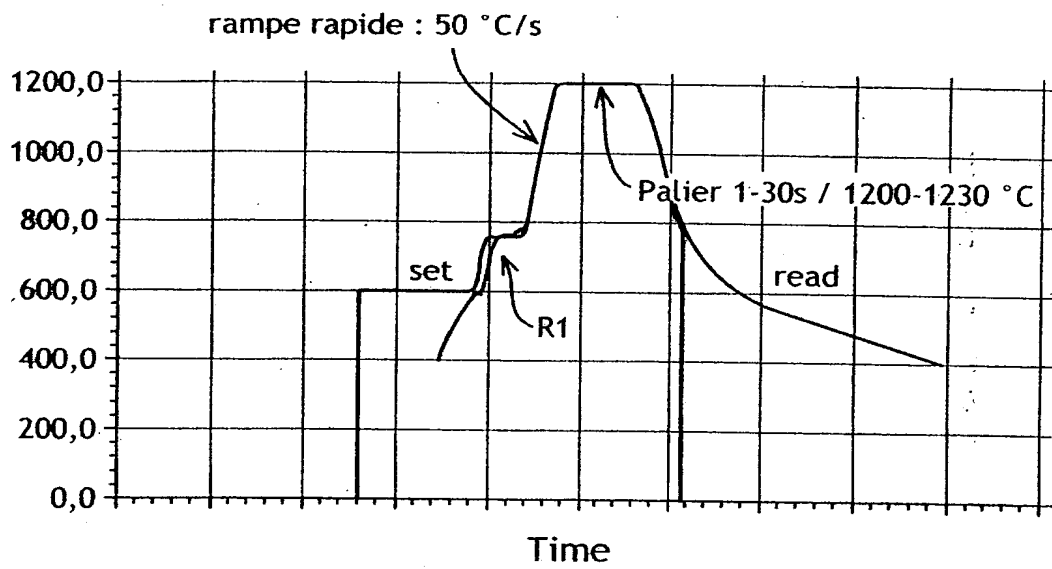


FIG.2a

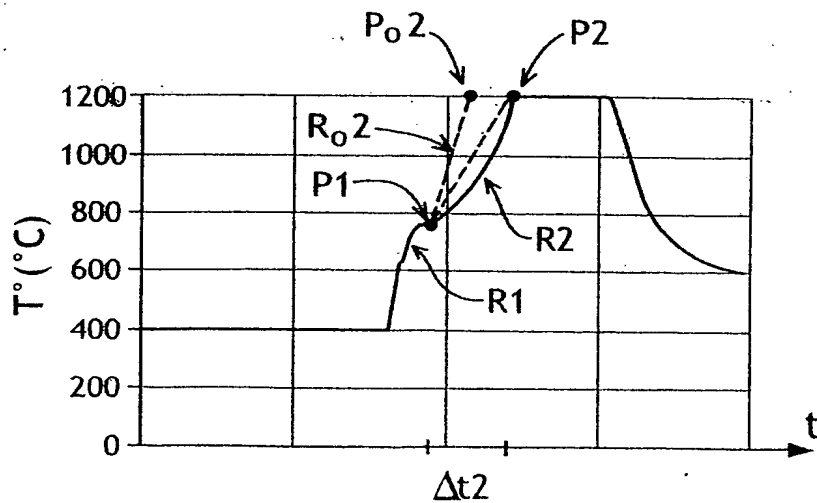


FIG.2b

2/2

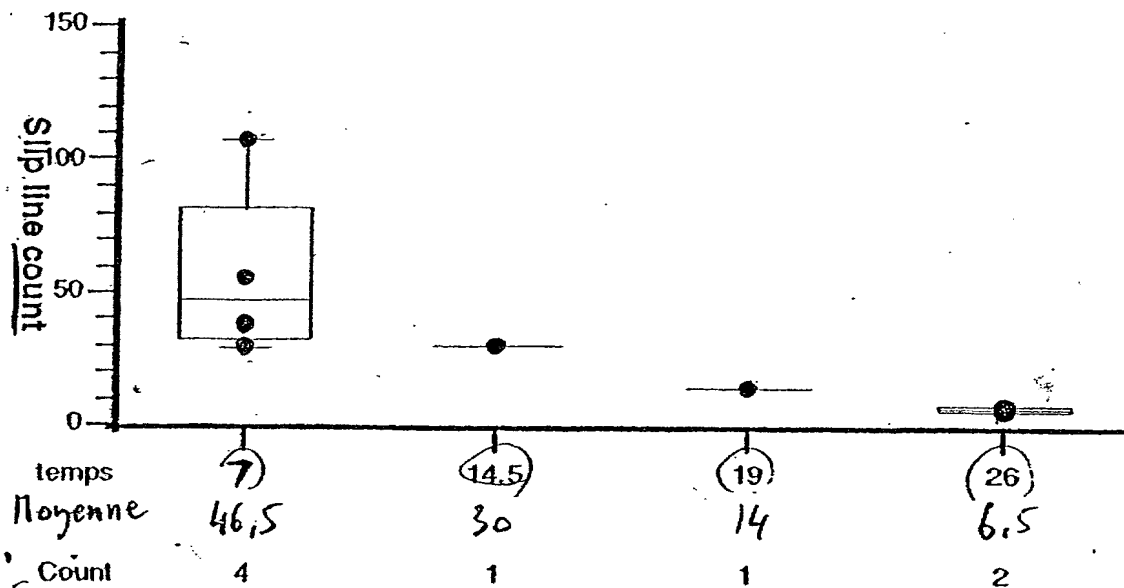


fig.3

2/2

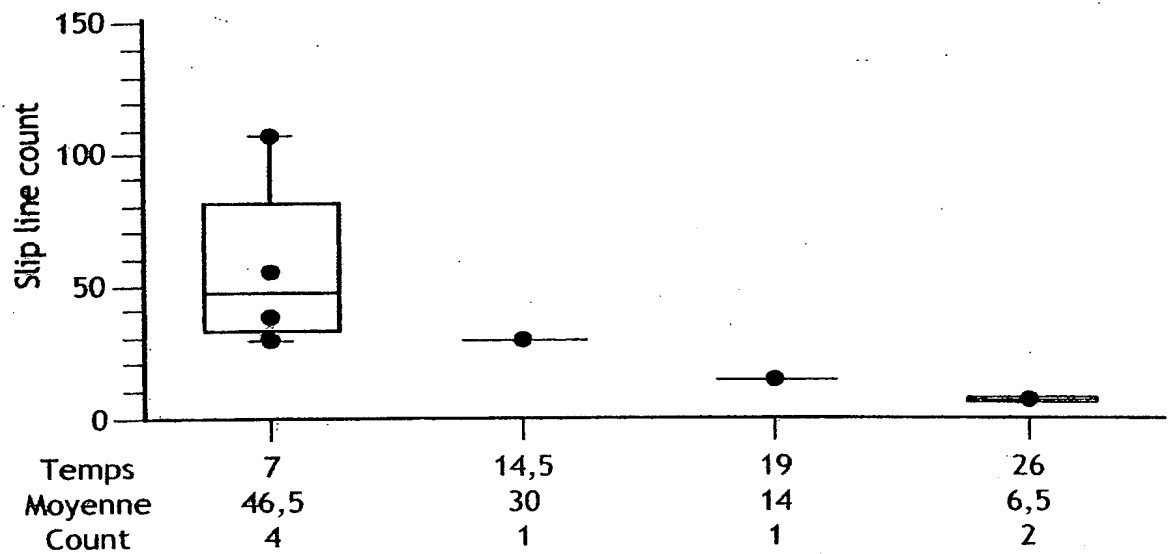


FIG.3

DÉPARTEMENT DES BREVETS

 26 bis, rue de Saint Pétersbourg
 75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54


DÉSIGNATION D'INVENTEUR(S) Page N° 1 / 1

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

DR 113 W / 270601

Vos références pour ce dossier (facultatif)		239905 D20408 IC
N° D'ENREGISTREMENT NATIONAL		0212120
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
PROCÉDE DE RECUIT RAPIDE DE TRANCHES DE MATERIAU SEMICONDUCTEUR.		
LE(S) DEMANDEUR(S) :		
S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES : Parc Technologique des Fontaines - Chemin des Franques, 38190 BERNIN - FRANCE		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1 Nom		NEYRET Eric
Prénoms		
Adresse	Rue	2, rue Lesdiguières
	Code postal et ville	38360 SASSENAGE FR
Société d'appartenance (facultatif)		
2 Nom		MALEVILLE Christophe
Prénoms		
Adresse	Rue	90 Rue du Château
	Code postal et ville	38660 LA TERRASSE FR
Société d'appartenance (facultatif)		
3 Nom		ESCARNOT Ludovic
Prénoms		
Adresse	Rue	11, rue de la Libération
	Code postal et ville	38610 GIÈRES FR
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		
 10.07.2003 91283		



METHOD FOR MINIMIZING SLIP LINE FAULTS ON A SEMICONDUCTOR WAFER SURFACE

BACKGROUND ART

This invention generally relates to treating the surface of semiconductor wafers intended for use in microelectronics, optics and optoelectronics applications.

5 A particular example described herein concerns an SOI (Silicon On Insulator) type wafer. In particular, the invention concerns a method for minimizing slip line faults on the semiconductor surface that includes heating the wafer to a first higher temperature, a pause at the first temperature to stabilize the wafer, and further heating the wafer during a predetermined time period to a target higher temperature.

10 The semiconductor wafers relating to the invention are formed via a layer transfer technique, which means that at least one layer (corresponding to all or a part of the wafer) has been transferred from a source substrate onto a support.

The term "rapid annealing" means annealing that takes the wafers to very high temperatures (about 1100°C or more), in a very short time (a few tens of
15 seconds). This type of annealing is commonly referred to as Rapid Thermal Annealing (RTA). RTA allows the surface of the wafers to be smoothed.

Figure 1 is a graph that illustrates how RTA is currently practiced, with a curve that shows how the temperature T increases over time t . The graph illustrates that the RTA process includes two ramps where the temperature rises, which takes
20 the wafers subject to the RTA from room temperature (RT) to a high, end-of-annealing temperature T_2 in a very short time. For example, RT can range from between about 20°C and 500°C, and T_2 can be about 1200°C.

Figure 1 shows that the RTA process comprises two rectilinear ramps. The first ramp takes the wafer from room temperature RT to a temperature T_1 of about
25 750°C, which is followed by a halt or pause of about 10 seconds at this same temperature. This first ramp and the pause initiates heating, and permits initiation of the rise to a follow-up temperature of the wafer (the follow-up temperature is measured by a pyrometer which is capable of determining the temperature of the



wafer. But the temperature of the wafer only becomes “readable” by the pyrometer after a certain temperature threshold is reached, which depends on the material of the wafer – in the case of a wafer of silicon the temperature threshold is about 400°C). The first ramp and the pause also permits the temperature to be stabilized (which is the particular role of the halt). After the pause, the RTA process continues with a second ramp having a slope of about 50°C per second followed by a halt or pause of about 30 seconds. This second ramp is an important active phase of the RTA process.

It has been observed that such conventional RTA processes cause faults to appear in the wafers, particularly in the case of silicon wafers (SOI for example).

These faults are known as slip lines and result from the thermal constraints that the wafer is subject to during RTA. These thermal constraints result from the very steep ramps or steep temperature increases, as well as because of the final halt or pause at a very high temperature. Therefore, more or less slip lines will be observed on a wafer subjected to a conventional RTA process depending on the thermal budget applied to the wafer.

Slip lines are likely to appear over the entire surface of the wafer, and notably on the elements that support the wafer inside the annealing oven. Such slip lines are detrimental.

SUMMARY OF THE INVENTION

Presented is a method for minimizing slip line faults on a surface of a semiconductor wafer that has been obtained using a transfer technique. The method includes heating the semiconductor wafer from an ambient temperature to a first higher temperature and pausing the heating at the first higher temperature for a time sufficient to stabilize the wafer. The wafer is then heated further from the first higher temperature to a target higher temperature during a predetermined time interval. The further heating during an initial portion of the time interval is conducted at a relatively low heating rate and the heating during a final portion of the time interval is conducted at a relatively higher heating rate to thus minimize slip line faults in the surface of the wafer.

In an advantageous implementation, heating during the predetermined time interval is not uniform and overall may be less than 50°C/sec, and the further heating

may continuously increase from the low heating rate to the high heating rate.

Further, it is desirable to conduct the low heating rate from more than 50% to about 80% of the predetermined time interval and the high heating rate from about less than 50% to about 20% of the predetermined time interval. In a variation, a pause

5 may occur in the further heating during the initial portion of the time interval before heating is resumed.

In a preferred implementation, the ambient temperature is room temperature and the first higher temperature is about 700 to 800°C. In addition, the low heating rate of the further heating may be conducted from the first higher temperature to an
10 intermediate temperature of between about 800 to about 1100°C, and the high heating rate of the further heating may be conducted from the intermediate temperature to the target temperature. The target temperature may be about 1100 to 1300°C, and the high heating rate of the further heating is about 25 to 50°C per second. In an embodiment, the wafer is made of silicon, and the wafer may be an
15 SOI wafer.

Another implementation of the invention is a method for minimizing slip line faults on a surface of a semiconductor wafer that has been obtained using a transfer technique. This technique includes heating such semiconductor wafer from an ambient temperature to a first higher temperature of about 700 to 800°C, and then
20 halting the heating at the first higher temperature for a time sufficient to stabilize the wafer. The wafer is then heated further from the first higher temperature to a target higher temperature of about 1100 to 1300°C during a predetermined time interval. The further heating during an initial portion of the time interval is conducted continuously at a relatively low heating rate from the first higher temperature to an
25 intermediate temperature of about 800 to 1100°C. The further heating is next continued and at a relatively higher heating rate during a final portion of the time interval to the target temperature to thus minimize slip line faults in the surface of the wafer.

Yet another implementation concerns a method for minimizing slip line faults
30 on a surface of a semiconductor wafer that has been obtained using a transfer technique, wherein the wafer has been heated from an ambient temperature to a first

higher temperature. A pause is then taken at the first higher temperature for a time sufficient to stabilize the wafer. The improvement includes heating the wafer from the first higher temperature to a target higher temperature during a predetermined time interval. During an initial portion of the time interval, heating is conducted at a relatively low heating rate. During a final portion of the time interval heating is conducted at a relatively higher heating rate, and this process minimizes slip line faults in the surface of the wafer.

BRIEF DESCRIPTION OF THE DRAWINGS

Other aspects, goals and advantages of the invention will become apparent upon reading the following detailed description of the invention with reference to the drawings, in which:

Figure 1 is a graph illustrating a curve of the temperature T over time t of a conventional Rapid Thermal Annealing (RTA) process.

Figure 2a is a graph of the temperature over time of a conventional RTA process that proceeds in a continuous manner.

Figure 2b is a graph of the temperature over time of an RTA process according to the invention.

Figure 3 is a graph plotting the number of slip lines that result on four wafers after RTA processes are conducted at four different time interval and temperature conditions.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

The invention concerns a surface treatment process for a semiconductor wafer that has been obtained via a transfer technique, and in an implementation the process includes a rapid annealing stage. The rapid annealing stage includes a first temperature rise to a higher initial temperature, a first pause or halt to stabilize the temperature, and a second heating stage to a target higher temperature. The second

heating stage occurs for a predetermined time interval. The heating during an initial stage of the time interval is relatively low, whereas the heating during a final portion of the time interval is relatively high. The wafer may be made from silicon, and may be an SOI wafer.

5 In a preferred embodiment, the halt after the first heating stage takes place at a temperature of about 750°C. In addition, during the second heating stage the range of temperatures of the initial portion of the time interval is from about 800 to about 1100°C. Further, the second heating stage ends at a temperature of about 1150 to 1250°C, and near the end of the final portion of the time interval the heating rate is
10 about 25 to 50°C per second.

 Figure 2a shows the change in temperature over time during a conventional RTA process, and Figure 2b shows the change in temperature over time during an RTA process according to the invention. Both Figures 2a and 2b concern RTA annealing of an SOI wafer, wherein the SOI wafer was formed using a transfer
15 process that included detachment along a zone of weakness (such as by using a SMART-CUT® type process). However, the present technique also applies to wafers obtained via any type of transfer process (for example, by using an ELTRAN® type process or some other method), and to wafers other than those having an SOI type structure. The process thus applies to silicon wafers, or to wafers made of other
20 semiconductor materials.

 The temperature increases shown in Figures 2a and 2b correspond to two different RTA processes, wherein the example process illustrated in Figure 2b is carried out according to the invention. The temperature increases of both processes begin in generally the same manner, with a first ramp of temperature increase R1
25 taking the wafer to a temperature value of about 750°C. A first constant temperature halt or pause (at a value of about 750°C) follows the first ramp. As can be seen in these figures, the difference between the two annealing processes lies in the second ramp R2 of temperature increase, which follows the end of the first pause. In fact, the second ramp shown in Figure 2a is substantially rectilinear, and has a constant
30 slope of about 50°C per second. Further, the conventional RTP process of Figure 2a ends with a halt or pause of about 1 to 30 seconds, during which the temperature is maintained at a constant value of about 1200 to about 1230°C.

As shown in Figure 2b, the second ramp R2 of temperature increase is not rectilinear. Rather, this second ramp R2 has a generally concave shape, meaning that it generally extends below the straight line that joins the point P1 to the point P2 (represented as a dotted line). The point P1 is at the start of the second ramp R2 (which corresponds to a temperature of about 750°C) and the point P2 is at the end of the second ramp (which corresponds to a temperature of about 1150-1250°C).

In particular, the first portion of the second ramp R2 has an average slope of a first value within a first, low range of temperatures, and a second portion of the second ramp R2 has an average slope of a second, increased value within a second, high range of temperatures. In other words, during the temperature increase of the second ramp, proportionally more time is spent initially for a given temperature rise (first range), than during the latter part of the ramp (second range).

In addition, the second ramp R2 of the present method is associated with a duration Δt_2 of temperature increase that greater than the duration of the temperature increase of a second ramp during a conventional RTA process corresponding to the same difference in temperature. Referring to Figure 2b, the duration Δt_2 corresponds to the time difference between the point P1 (at the start of the second ramp R2) and the point P2 (at the end of the second ramp R2).

For illustrative and comparative purposes, a dotted line representation of a conventional ramp R₀₂, as practiced according to the state of the art, has been included in Figure 2b. This conventional ramp R₀₂ starts at the same point P1, but ends at point P₀₂, which is different from that of the point P2 and precedes it in time. Thus, as compared to the dotted line representation of the rectilinear conventional ramp R₀₂, the second ramp R2 according to the present method is concave and has an average slope which increases between two successive ranges, and additionally includes a slower overall temperature rise.

More precisely, in the conventional RTA process example of Figure 2a, the second ramp has a slope which increases progressively and continuously. The slope of the conventional RTA process successively has the following values: 10-15-25-50°C per second. In contrast, the second ramp R2 in Figure 2b only ends with a maximum slope of about 50°C per second.

An important characteristic of the ramp R2 is that it allows the wafer to spend an increased amount of time in the range of low temperatures, which starts around 750°C, before the ramp ends at a temperature of about 1150-1250°C. In the present example shown in Figure 2b, the low range of temperatures correspond to
5 temperatures in the range of between about 800°C and about 1100°C.

It is to be noted that the time spent by the wafer undergoing RTA is increased in a low range of temperatures of the second ramp as compared to a conventional RTA process. This increase is "absolute", in the sense that the time actually spent in this low range is increased in comparison with that of a conventional RTA process.
10 The increased time spent can also be considered in relation to the second ramp in general. It is noted that according to the present method, during this second ramp, the ratio of the time spent in the low range of R2 to the time passed in the high range (which corresponds to temperatures of the second ramp that are greater than the temperatures in the "low" range) is increased in comparison with that practiced in the
15 state of the art. In other words, according to the invention, more time is spent in this "low" temperature range of the second ramp as compared to the total duration of the second ramp than in the annealing stages of the linear ramp as per the state of the art. In fact, during the second ramp, the average slope of temperature increase has a first value within the first range of "low" temperatures and then increases within the range
20 of "high" temperatures. The ranges of "low" and "high" temperatures are defined according to the material of the wafer.

It is also possible to implement the invention with another "second ramp" that starts from the moment that the condition regarding the ratio of time spent in the low and high temperature ranges explained above occurs. It is for example possible to
25 define an intermediate constant temperature pause or halt in the range of low temperatures (for example a halt at a temperature between 800 and 1100°C, in the example described here). Generally speaking, it is possible for the second ramp to take any form which allows this condition to be fulfilled. Proceeding in a manner according to the present process allows the number of slip lines on the wafer after
30 annealing to be substantially reduced.

It has been observed that the slip lines engendered on the supports of the wafer in an oven are considerably reduced (whether these supports have the form of

separate points of support, or of a continuous circular ring, concentric to the wafer). This effect is explained by the fact that the slip lines observed in the wafer at the end of RTA originate in faults that occur during the part of the RTA process that corresponds to the "low" temperature values. This effect is illustrated in Figure 3, which represents the number of slip lines produced on a wafer after annealing, for four conditions of RTA carried out on four respective wafers.

Referring to Figure 3, the four annealing stages correspond to the series of points spread out along the abscissa, wherein each different abscissa corresponds to a separate annealing process. Lines of data appear below the graph. The first line of "time" data indicates, for each annealing process, the time spent in the range of "low" temperatures of the second ramp R2, and the four annealing processes including the same first ramp R1, similar to that of Figure 2b. The second line of "Average" data corresponds to the number of slip lines observed on a population of wafers, after annealing. The third line of "Count" data indicates the number of wafers on which the slip lines have been counted (this number being limited to one in two cases). It can be observed that as the "time" increases, the number of slip lines decreases. The table below sets forth the results obtained:

Time passed in the low temperature range (in seconds)	Average number of slip lines observed
7	46.5
14.5	30
19	14
26	6.5

In the example of Figure 3, the range of "low temperatures" extended between 800 and 1100°C. As described, the application of a second progressive ramp of RTA, which corresponds to a high ratio (time spent in the "low" temperature range to the time passed in the "high" temperature range), is thus beneficial for reducing the number of slip lines.

THE CLAIMS

What is claimed is:

1. A method for minimizing slip line faults on a surface of a semiconductor wafer that has been obtained using a transfer technique, which comprises:
heating such semiconductor wafer from an ambient temperature to a first higher temperature;
5 pausing the heating at the first higher temperature for a time sufficient to stabilize the wafer; and
further heating the wafer from the first higher temperature to a target higher temperature during a predetermined time interval, with the further heating during an initial portion of the time interval being conducted at a relatively low heating rate
10 and heating during a final portion of the time interval being conducted at a relatively higher heating rate to thus minimize slip line faults in the surface of the wafer.
2. The method of claim 1 wherein the further heating during the predetermined time interval is not uniform and overall is less than 50°C/sec.
15
3. The method of claim 2 wherein the further heating continuously increases from the low heating rate to the high heating rate.
4. The method of claim 3 wherein the low heating rate is conducted from more
20 than 50% to about 80% of the predetermined time interval and the high heating rate is conducted from about less than 50% to about 20% of the predetermined time interval.
5. The method of claim 1 which further comprises pausing the heating during
25 the initial portion of the time interval and then resuming heating.
6. The method of claim 1 wherein the ambient temperature is room temperature and the first higher temperature is about 700 to 800°C.

7. The method of claim 1 wherein the low heating rate of the further heating is conducted from the first higher temperature to an intermediate temperature of between about 800 to about 1100°C, and the high heating rate of the further heating is conducted from the intermediate temperature to the target temperature.
8. The method of claim 1 wherein the target temperature is about 1100 to 1300°C.
9. The method of claim 1 wherein the high heating rate of the further heating is about 25 to 50°C per second.
10. The method of claim 1 wherein the wafer is made of silicon.
11. The method of claim 1 wherein the wafer is an SOI wafer.
12. A method for minimizing slip line faults on a surface of a semiconductor wafer that has been obtained using a transfer technique, which comprises:
heating such semiconductor wafer from an ambient temperature to a first higher temperature of about 700 to 800°C;
halting the heating at the first higher temperature for a time sufficient to stabilize the wafer; and
further heating the wafer from the first higher temperature to a target higher temperature of about 1100 to 1300°C during a predetermined time interval, with the further heating during an initial portion of the time interval being conducted continuously at a relatively low heating rate from the first higher temperature to an intermediate temperature of about 800 to 1100°C and at a relatively higher heating rate during a final portion of the time interval to the target temperature to thus minimize slip line faults in the surface of the wafer.

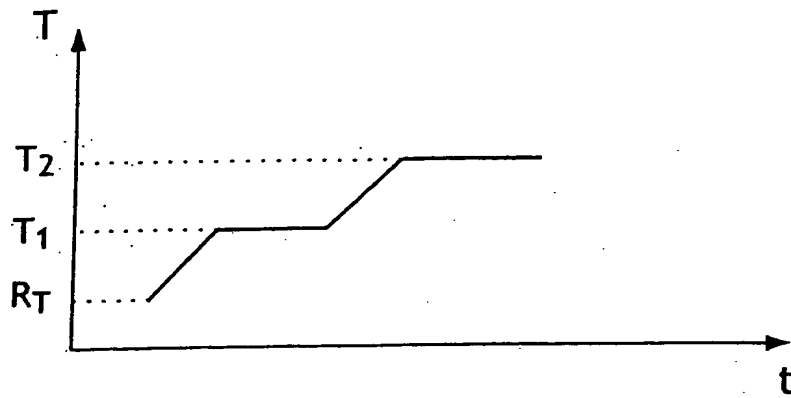
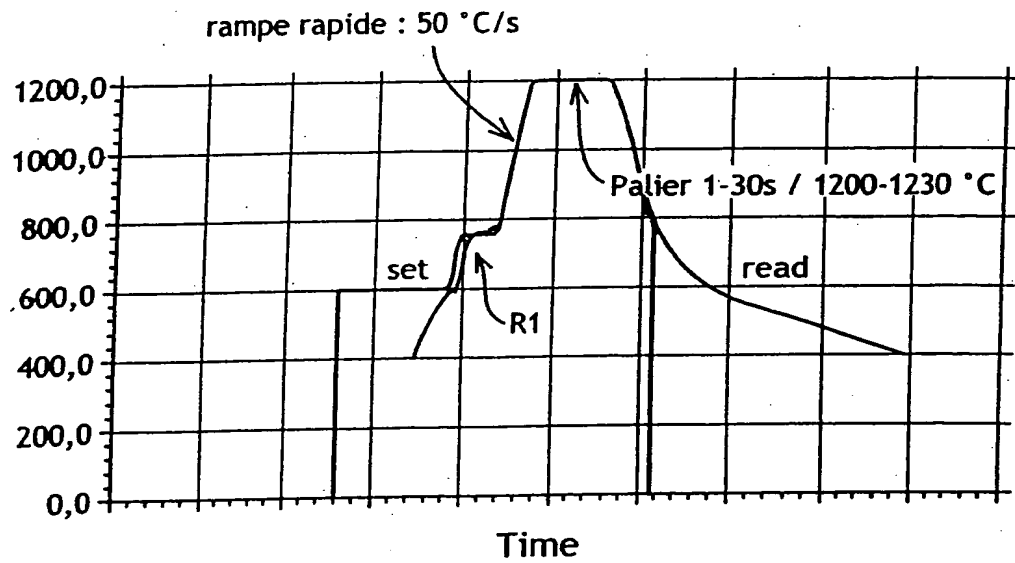
13. The method of claim 12 wherein the low heating rate is conducted from more than 50% to about 80% of the predetermined time interval and the high heating rate is conducted from less than 50% to about 20% of the predetermined time interval.
- 5 14. The method of claim 12 which further comprises pausing the heating during the initial portion of the time interval and then resuming heating.
15. The method of claim 12 wherein the first higher temperature is around 750°C and the target temperature is in the range of about 1150 to 1250°C.
- 10 16. The method of claim 12 wherein the high heating rate of the further heating is about 25 to 50°C per second.
17. The method of claim 12 wherein the wafer is made of silicon.
- 15 18. The method of claim 12 wherein the wafer is an SOI wafer.
19. In a method for minimizing slip line faults on a surface of a semiconductor wafer that has been obtained using a transfer technique, wherein the wafer has been
20 heated from an ambient temperature to a first higher temperature and a pause has been taken at the first higher temperature for a time sufficient to stabilize the wafer, the improvement comprising further heating the wafer from the first higher temperature to a target higher temperature during a predetermined time interval, with the further heating during an initial portion of the time interval being conducted at a
25 relatively low heating rate and heating during a final portion of the time interval being conducted at a relatively higher heating rate to thus minimize slip line faults in the surface of the wafer.

METHOD FOR MINIMIZING SLIP LINE FAULTS ON A SEMICONDUCTOR WAFER SURFACE

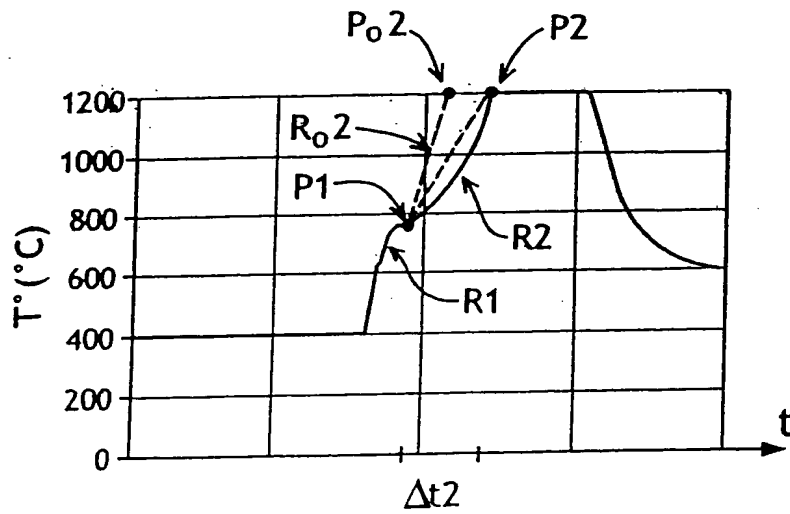
ABSTRACT

A method for minimizing slip line faults on a surface of a semiconductor
5 wafer that has been obtained using a transfer technique. The method includes
heating the semiconductor wafer from an ambient temperature to a first higher
temperature and pausing the heating at the first higher temperature for a time
sufficient to stabilize the wafer. Then the wafer is heated further from the first
higher temperature to a target higher temperature during a predetermined time
10 interval. The further heating during an initial portion of the time interval is
conducted at a relatively low heating rate and the heating during a final portion of the
time interval is conducted at a relatively higher heating rate to thus minimize slip line
faults in the surface of the wafer.

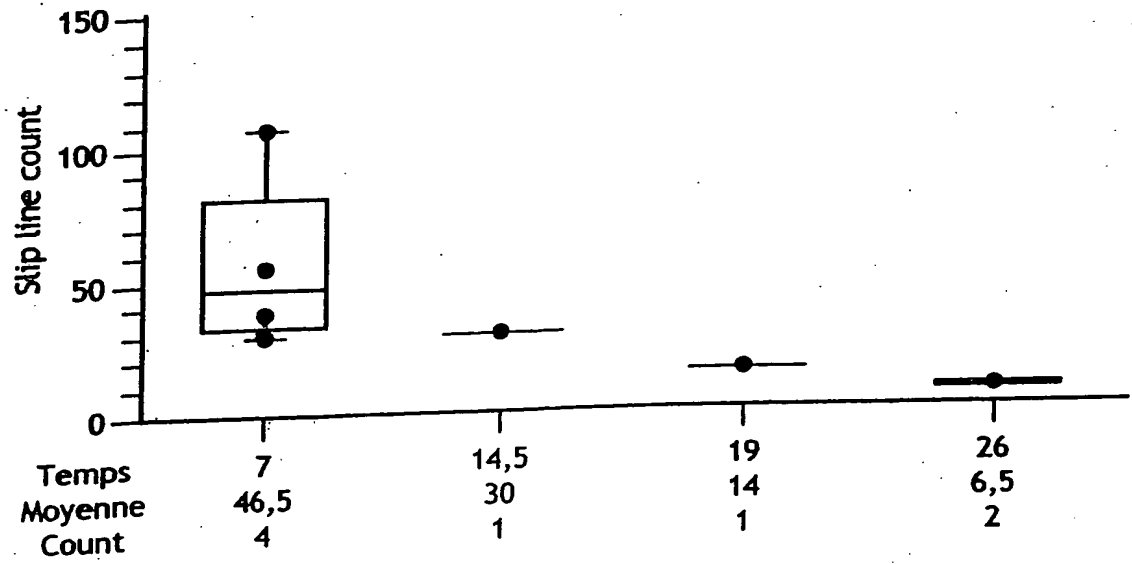
NY: 808625.1

FIG.1FIG.2a

PRIOR ART

FIG.2b



FIG.3

